

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053558
(43)Date of publication of application : 23.02.2001

(51)Int.Cl. H03F 3/343
H03F 3/345

(21)Application number : 11-225064 (71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

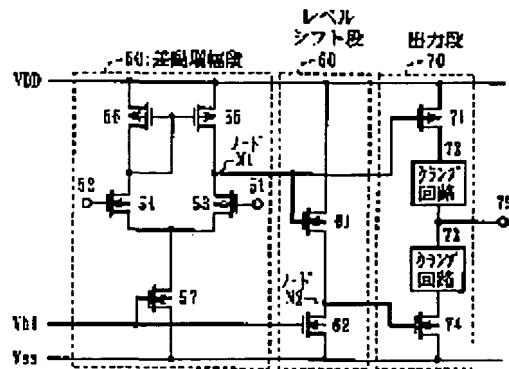
(22)Date of filing : 09.08.1999 (72)Inventor : NISHISAKA MIKA
OTOMO YUSUKE
SHIMAYA SHOICHI

(54) OPERATIONAL AMPLIFIER

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an operational amplifier usable as the operation amplifier, even when a voltage difference between a high potential power source and a low potential power source is equal to or more than the withstand voltage of a single MOS transistor.

SOLUTION: In this operational amplifier 101, provided with a differential amplification stage 50, a level shift stage 60 and an output stage 70, a first voltage clamp circuit 72 provided between the drive transistor 71 of a high potential power source side in the output stage and an output terminal 75 and a second voltage clamp circuit 73 provided between the drive transistor 74 of a low potential power source side and the output terminal 75 are provided.



LEGAL STATUS

[Date of request for examination] 17.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-53558

(P2001-53558A)

(43)公開日 平成13年2月23日 (2001.2.23)

(51)Int.Cl.⁷

H 03 F 3/343
3/345

識別記号

F I

H 03 F 3/343
3/345

マークコード^{*} (参考)

Z 5 J 0 9 1
B

審査請求 未請求 請求項の数 5 O.L. (全 7 頁)

(21)出願番号

特願平11-225064

(22)出願日

平成11年8月9日 (1999.8.9)

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72)発明者 西坂 美香

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

(72)発明者 大友 祐輔

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

(74)代理人 100087446

弁理士 川久保 新一

最終頁に続く

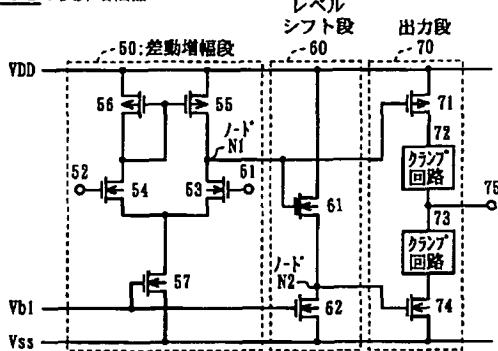
(54)【発明の名称】 演算増幅器

(57)【要約】

【課題】 高電位電源と低電位電源との電圧差が、单体MOSトランジスタの耐圧以上でも、演算増幅器として使用可能である演算増幅器を提供することを目的とするものである。

【解決手段】 差動増幅段と、レベルシフト段と、出力段とを備える演算増幅器において、出力段における高電位電源側の駆動トランジスタと出力端子との間に設けられている第1の電圧クランプ回路と、低電位電源側の駆動トランジスタと出力端子との間に設けられている第2の電圧クランプ回路とを有する演算増幅器である。

101 : 演算増幅器



【特許請求の範囲】

【請求項1】 差動増幅段と、レベルシフト段と、出力段とを備える演算増幅器において、上記出力段における高電位電源側の駆動トランジスタと上記出力段の出力端子との間に設けられている第1の電圧クランプ回路と；低電位電源側の駆動トランジスタと上記出力端子との間に設けられている第2の電圧クランプ回路と；を有することを特徴とする演算増幅器。

【請求項2】 請求項1において、

上記第1の電圧クランプ回路は、第1のPチャネルMOSトランジスタであり、

上記第2の電圧クランプ回路は、第1のNチャネルMOSトランジスタであり、

上記第1のPチャネルMOSトランジスタ、上記第1のNチャネルMOSトランジスタのゲート電圧を用いて、電圧クランプを制御することを特徴とする演算増幅器。

【請求項3】 請求項2において、

上記第1のPチャネルMOSトランジスタのゲート端子と上記第1のNチャネルMOSトランジスタのゲート端子とが互いに接続されていることを特徴とする演算増幅器。

【請求項4】 請求項1～請求項3のいずれか1項において、

上記レベルシフト段において、高電位電源と駆動NチャネルMOSトランジスタとの間に、クランプ手段が設けられていることを特徴とする演算増幅器。

【請求項5】 請求項1～請求項4のいずれか1項において、

上記差動増幅段における高電位電源側に、カレントミラー回路が付加されていることを特徴とする演算増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CMOS（相補型MOSトランジスタ）によって集積回路上に作られ、アナログ信号の比較器等に用いられる演算増幅器に係り、特に、演算増幅器を構成するトランジスタの耐圧よりも高い電圧で動作する演算増幅器に関するものである。

【0002】

【従来の技術】 図8は、従来の演算増幅器111を示す回路図である。

【0003】 従来の演算増幅器111は、参考文献（IEEE JOURNAL OF SOLID STATE CIRCUITS, SC-17, 1982, PAUL R. GRAY and ROBERT G. MEYER, "MOS Operational Amplifier Design A Tutorial Overview" p. 969-981.）に記載されている回路である。

【0004】 従来の演算増幅器111は、正相入力端子11と逆相入力端子12との入力電圧差に応じて差動増幅する差動増幅段10と、差動増幅段10の出力電圧をレベルシフトするレベルシフト段20と、レベルシフト段20の出力によって、相補的にオン、オフする出力段

30とによって構成されている。

【0005】 差動増幅段10は、入力用のNチャネルMOSトランジスタ（以下、「NMOS」という）13、14と、定電流源用のNMOS15と、負荷用のPチャネルMOSトランジスタ（以下、「PMOS」という）16、17とによって構成されている。

【0006】 レベルシフト段20は、高電位電源VDDと低電位電源VSSとの間に直列接続されているNMOS21と22とによって構成されている。

【0007】 出力段30は、高電位電源VDDと低電位電源VSSとの間に直列接続されているPMOS31とNMOS32とによって構成されている。

【0008】 従来の演算増幅器111は、逆相入力端子11に対して正相入力端子12に正の入力電圧が入力されると、差動増幅段10が差動増幅し、その出力をレベルシフト段20がレベルシフトした後、出力段30のPMOS31がオン状態になる。このレベルシフト段20の出力信号がトランジスタ31、32のゲートに印可され、NMOS32がオフ状態になり、出力段30のPMOS31を介して、高電位電源VDDから出力端子33へ出力電流が流れる。

【0009】 図9は、上記従来例におけるバイアス電圧発生回路40を示す図である。

【0010】 バイアス回路40は、差動増幅段10の定電流源用NMOS17のゲート電位に印加する電圧Vb1を発生する回路であり、PMOS41と、NMOS42、43とによって構成されている。

【0011】 PMOS41のソースは、高電位電源VDDに接続され、PMOS41のゲートとドレインとは、NMOS42のゲートとドレインとに接続されている。NMOS43のドレインとゲートとは、共通してNMOS42のソースに接続され、バイアス端子Vb1に接続されている。

【0012】

【発明が解決しようとする課題】 MOSトランジスタの耐圧は、素子の微細化によって低下する。また、シリコン・オン・インシュレータ構造上に演算増幅器を構成する場合、「寄生バイポーラ効果」と呼ばれる電流の異常増加現象によって、素子の使用電圧範囲はさらに制限される。

【0013】 一方、電源電圧には規格値が存在するので、回路に印加する電源電圧を容易に低下させることはできない。

【0014】 したがって、上記従来例において、微細トランジスタで演算増幅器を構成すると、増幅器を構成するMOSトランジスタに印加される電圧が、そのMOSトランジスタの耐圧よりも大きくなるという問題がある。特に、演算増幅器の出力段においては、出力電圧が高電位電源と低電位電源との間で変化するので、MOSトランジスタに印加される電圧が、そのトランジスタの

耐圧を越えるという問題が生じる。

【0015】また、電源電圧が大きくなるにつれ、出力段のみでなくレベルシフト段や、差動増幅段を構成する各トランジスタに印加される電圧も耐圧を超えるという問題がある。

【0016】本発明は、高電位電源と低電位電源との電圧差が、単体MOSトランジスタの耐圧以上でも、演算増幅器として使用可能である演算増幅器を提供することを目的とするものである。

【0017】

【課題を解決するための手段】本発明は、差動増幅段と、レベルシフト段と、出力段とを備える演算増幅器において、出力段における高電位電源側の駆動トランジスタと出力端子との間に設けられている第1の電圧クランプ回路と、低電位電源側の駆動トランジスタと出力端子との間に設けられている第2の電圧クランプ回路とを有する演算増幅器である。

【0018】

【発明の実施の形態および実施例】(第1実施例)図1は、本発明の第1の実施例である演算増幅器101を示す回路図である。

【0019】演算増幅器101は、CMOSで構成され、正相入力端子51と逆相入力端子52との入力電圧差に応じた差動増幅を行い、ノードN1に出力する差動増幅段50と、ノードN1上の電圧をシフトし、ノードN2へ出力するレベルシフト段60と、ノードN1またはN2によって駆動され、出力電圧を出力端子75へ出力する出力段70とによって構成されている。

【0020】差動増幅段50は、入力用のNMOS(NチャネルMOSトランジスタ)53、54と、定電流源用のNMOS57と、負荷用のPMOS(PチャネルMOSトランジスタ)55、56とによって構成されている。NMOS53のゲートは、正相入力端子51に接続され、NMOS54のゲートが、逆相入力端子52に接続されている。NMOS53、54の各ソースは、共通してNMOS55のドレインに接続され、そのNMOS57のゲートは、バイアス電圧Vb1に接続され、そのソースは、低電位電源VSSに接続されている。NMOS53、54の各ドレインは、PMOS56、57の各ドレインに接続され、PMOS56、57の各ソースが、高電位電源VDDに接続されている。PMOS56、57の各ゲートは、PMOS56のドレインに接続され、PMOS57のドレインが、ノードN1に接続されている。

【0021】ここで、図7に示すバイアス電圧発生回路40によってバイアス電圧Vb1を発生するようにし、バイアス電圧発生回路40を、演算増幅器101と同一基板上に構成するようにしてもよい。

【0022】レベルシフト段60は、NMOS61とNMOS62とを用いたレベルシフト回路によって構成さ

れている。NMOS61は、そのドレインが、高電位電源VDDに接続され、そのゲートが、ノードN1に接続され、そのソースが、ノードN2に接続されている。NMOS62のドレインがノードN2に接続され、ゲートがバイアス電圧Vb1に接続され、ソースが低電位電源VSSに接続されている。

【0023】出力段70は、ドライバとなるPMOS71、NMOS74と、クランプ回路72、73とによって構成されている。PMOS71のソースが高電位電源VDDに接続され、そのゲートがノードN1に接続され、そのドレインがクランプ回路72の高電位側に接続されている。

【0024】また、クランプ回路72の低電位側とクランプ回路73の高電位側とが、共通して出力端子75に接続されている。NMOS74のソースは、低電位電源VSSに接続され、そのゲートはノードN2に接続され、そのドレインはNMOS73のソースに接続されている。

【0025】つまり、演算増幅器101は、差動増幅段と、レベルシフト段と、出力段とを備える演算増幅器において、出力段における高電位電源側の駆動トランジスタと出力端子との間に設けられている第1の電圧クランプ回路と、低電位電源側の駆動トランジスタと出力端子との間に設けられている第2の電圧クランプ回路とを有する演算増幅器である。

【0026】(第2実施例)図2は、本発明の第2の実施例である演算増幅器102を示す回路図である。

【0027】演算増幅器102は、演算増幅器101において、その出力段のクランプ回路72、73として、それぞれ、PMOS、NMOSを使用した回路である。つまり、演算増幅器102は、差動増幅段50、レベルシフト段60に関して、演算増幅器101と同様であり、演算増幅器101における出力段70の代わりに、出力段70Aが設けられている出力段70Aは、ドライバとなるPMOS71、NMOS74と、クランプ回路となるPMOS72、NMOS73とによって構成されている。PMOS71のソースが高電位電源VDDに接続され、ゲートがノードN1に接続され、ドレインがPMOS72のソースに接続されている。また、PMOS72のゲートは、バイアス電圧Vb3を入力し、NMOS73のゲートは、バイアス電圧Vb2を入力し、また各ドレインが出力端子75に接続されている。NMOS74のソースは低電位電源VSSに接続され、そのゲートはノードN2に接続され、ドレインはNMOS73のソースに接続されている。

【0028】次に、上記実施例である演算増幅器101、102の動作について説明する。

【0029】図6は、演算増幅器101における各ノードにおける電位波形を示す図である。

【0030】逆相入力端子52に対して正の入力電圧

を、正相入力端子51に印加すると、差動増幅段50では、入力電圧と逆相で、入力電圧を増幅し、ノードN1へ出力する。この出力信号を、レベルシフト段60においてレベルシフトし、ノードN2に出力する。ノードN2によって、出力段70AのNMOS74はOFF状態になり、ノードN1によって出力段70AのPMOS71をON状態にする。

【0031】これによって、PMOS71がOFFであると、PMOS72のソースが「Vb3-Vtp」に保持され、またNMOS74がOFFであると、NMOS73のソースが、「Vb2-Vtn」に保持される。なお、Vtpは、PMOSの閾値であり、Vtnは、NMOSの閾値である。

【0032】したがって、PMOS71、PMOS72、NMOS73、NMOS74にかかる電圧は、それぞれ、「VDD-(Vb3-Vtp)」、「(Vb2-Vtp)-VSS」、「VDD-(Vb3-Vtn)」、「(Vb2-Vtn)-VSS」である。

【0033】つまり、演算増幅回路102は、第1の電圧クランプ回路として第1のPチャネルMOSトランジスタ72が使用され、第2の電圧クランプ回路として、第1のNチャネルMOSトランジスタ73が使用され、第1のPチャネルMOSトランジスタ72、第1のNチャネルMOSトランジスタ73のゲート電圧を用いて、電圧クランプを制御する演算増幅器である。

【0034】(第3実施例)図3は、本発明の第3の実施例である演算増幅器103を示す回路図である。

【0035】演算増幅器103は、演算増幅器102において、出力段のPMOS72のゲート端子とNMOS73のゲート端子とを、バイアス電圧端子Vb2と共に接続し、演算増幅器102からバイアス電圧端子Vb3を削除した回路である。

【0036】バイアス電圧Vb2は、高電位電源VDDの電圧と低電位電源VSSの電圧との中間の電圧を取り、PMOS72とNMOS73との閾値電圧VtpよりもVtnを超える電圧であるとする。

【0037】また、出力段70AのPMOS72、NMOS73の各ゲートには、それぞれ閾値を超えるバイアス電圧Vb2が印加されている。これによって、PMOS71がONであるときは、同時にPMOS72もONである。

【0038】また、上記と同じ理由によって、NMOS74がONである場合は、NMOS73も同時にONする。したがって、出力端子75での振幅は、従来例における振幅と同等の大きさを持つ。

【0039】また、PMOS71がOFFであるときに、PMOS72のソースは、バイアス電圧Vb2とPMOSの閾値電圧との和(Vb2-Vtp)に保持される。これと同じ理由によって、NMOS74がOFFであるときに、NMOS73のソースは、バイアス電圧V

b2とNMOSの閾値電圧Vtnとの和(Vb2-Vtn)に保持される。

【0040】したがって、駆動するPMOS71に印加される電圧は、「VDD-(Vb2-Vtp)」になり、NMOS74に印加される電圧は、「(Vb2-Vtn)-VSS」になり、また、PMOS72に印加される電圧は、「(Vb2-Vtp)-VSS」になり、NMOS73に印加される電圧は、「VDD-(Vb2-Vtn)」になる。これらが、トランジスタの耐圧以下であれば、高電位電源と低電位電源との電圧差が耐圧以上であっても、演算増幅器として使用可能になる。

【0041】また、演算増幅器101、102において、出力段における電圧振幅を、従来の演算増幅器111と同等に保つことができる。その利得は、従来構成における利得と同等である。

【0042】これらがトランジスタの耐圧以下であれば、高電位電源と低電位電源の電圧差が耐圧以上でも、演算増幅器として使用可能となる。また、演算増幅器103によれば、バイアス電圧用の端子またはバイアス電圧の発生回路領域を削減することができる。

【0043】(第4実施例)図4は、本発明の第4の実施例である演算増幅器104を示す回路図である。演算増幅器104は、レベルシフト段60Aにおいて、その高電位電源側とNMOS61との間にクランプ回路63が設けられている。

【0044】演算増幅器104は、演算増幅器に印加する電圧が、演算増幅器101、102、103よりも大きくなった場合に有効なものである。

【0045】つまり、演算増幅器101、102、103では、レベルシフト段60において、接続されているNMOS61のソースードレインに印加される電圧は、「VDD-V(N2)」であり、NMOS62のソースードレインに印加される電圧は、「V(N2)-VSS」である。なお、V(N2)は、ノードN2における電位である。電位V(N2)の振幅によっては、トランジスタの耐圧を超えることになる。そこで、演算増幅器104では、出力段におけるクランプ回路とは別に、レベルシフト段60Aにおいて、その高電位電源側とNMOS61との間にクランプ回路63を配置している。

【0046】図7は、演算増幅器103のレベルシフト段60における各ノードの電位を示す図である。

【0047】レベルシフト段60A内にクランプ回路63を設けることによって、NMOS61の電圧スイングは、高電位側で「VDD-Vx」までになる。よって、NMOS62のソースードレイン間に印加される最大電位差「VDD-Vx-VSS」が、NMOSの耐圧以下となればよい。

【0048】ここで、演算増幅器104におけるレベルシフト段60Aでは、クランプ回路の例としてMOSトランジスタを用いているが、このようにする代わりに、

レベルシフト段60において、高電位電源側とNMOS 61との間に、PMOS 63を設け、そのゲートとドレインとを共通にし、NMOS 61のドレインに接続するようしてもよい。このように、追加したダイオード接続されたPMOS 63によって電圧降下させ、ノードN2の電位の振れ幅をNMOSトランジスタの耐圧以下に抑制することができる。

【0049】また、PMOS 63の代わりに、NMOSトランジスタを用いることも可能である。つまり、この場合、ゲートとソースとをダイオード接続し、高電位電源に接続し、ドレインをNMOS 61のソースに接続することによって、上記と同じ効果が得られる。

【0050】また、逆極性のレベルシフト段（つまり高電位側に電位シフトさせるためのレベルシフト段）を構成する場合は、低電位電源VSS側にクランプ回路をつけると、上記の場合と同じ理由で、耐圧問題を解決することができる。

【0051】（第5実施例）図5は、本発明の第5の実施例である演算增幅器105を示す回路図である。

【0052】演算增幅器105は、演算增幅器102において、レベルシフト段60の代わりに、PMOS 63を有するレベルシフト段60Aを設け、差動增幅段50の代わりに、カレントミラー回路CMを有する差動增幅段50Aを設け、レベルシフト段80を設けた回路である。

【0053】カレントミラー回路CMは、インビーダンスが等しいクランプ用回路58、59を高電位電源側に設け、差動增幅段50Aにおける電圧クランプを行う回路である。また、レベルシフト段80は、差動增幅段50Aからの出力振幅を高電位側にシフトさせるために、レベルシフト段60Aとは逆極性となるレベルシフト段である。

【0054】差動增幅段50Aにおいて、高電位電源VDDにPMOS 58、59のソースが接続され、また、両ゲートは、共通であり（互いに接続され）、PMOS 58のドレインとPMOS 56のソースとに接続され、PMOS 59のドレインがPMOS 55のソースに接続されている。また、差動增幅段50Aの出力となるノードN1は、レベルシフト段60AのNMOS 61のゲートと、レベルシフト段80のPMOS 81のゲートとに接続され、付加したレベルシフト段80の出力ノードN3は、出力段70のPMOS 71のゲートに接続されている。

【0055】PMOS 58、59によって構成されているカレントミラー回路CMを差動增幅段50に設けたことによって、PMOS 55、56のソースに印加される電圧は、高電位電源VDDから電圧VYだけ降下する。

【0056】これによって、ノードN1の電圧スイングは制限され、差動增幅段50AにおけるNMOS 55のソースドレイン耐圧を超えることを抑制することができ

る。

【0057】なお、電圧VXの大きさは、NMOS 74のゲートが十分動作できる大きさに設定し、また、電圧VYの大きさは、大きすぎると、差動增幅段50が動作できなくなり、小さすぎると、目的を達成できないので、電圧VXもVYもほぼ1V程度の大きさに設定する。

【0058】

【発明の効果】請求項1記載発明によれば、高電位電源と低電位電源との電圧差が、単体MOSトランジスタの耐圧以上でも、演算增幅器として使用可能であるという効果を奏する。

【0059】請求項2記載発明によれば、クランプ回路のMOSトランジスタを用いることによって、全てCMOSで構成でき、集積化が容易になるという効果を奏する。

【0060】請求項3記載発明によれば、クランプ回路の制御端子を削減でき、回路の占有面積を小さくすることができるという効果を奏する。

【0061】請求項4記載発明によれば、請求項1記載発明よりも高い電源電圧で動作させることができるという効果を奏する。

【0062】請求項5記載発明によれば、請求項3記載発明よりも高い電源電圧で動作させることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例である演算增幅器101を示す回路図である。

【図2】本発明の第2の実施例である演算增幅器102を示す回路図である。

【図3】本発明の第3の実施例である演算增幅器103を示す回路図である。

【図4】本発明の第4の実施例である演算增幅器104を示す回路図である。

【図5】本発明の第5の実施例である演算增幅器105を示す回路図である。

【図6】演算增幅器101における各ノードにおける電位波形を示す図である。

【図7】演算增幅器103のレベルシフト段60における各ノードの電位を示す図である。

【図8】従来の演算增幅器111を示す回路図である。

【図9】上記従来例におけるバイアス電圧発生回路40を示す図である。

【符号の説明】

101～105…演算增幅器、

50、50A…差動增幅段、

60、60A、80…レベルシフト段、

63、72、73…クランプ回路、

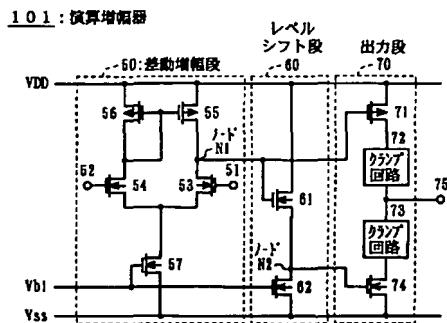
70、70A、70B、70C…出力段、

CM…カレントミラー回路、

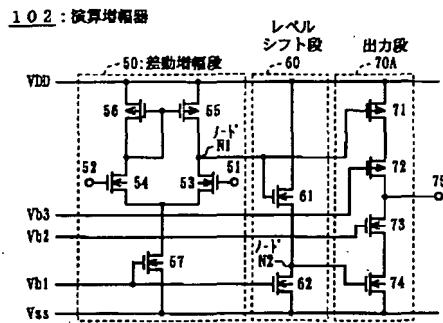
Vb1、Vb2、Vb3…バイアス電圧、
VSS…低電位電源、

* VDD…高電位電源、
* 40…バイアス電圧発生回路。

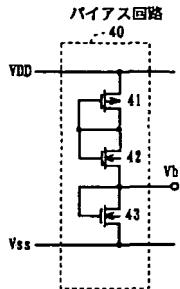
【図1】



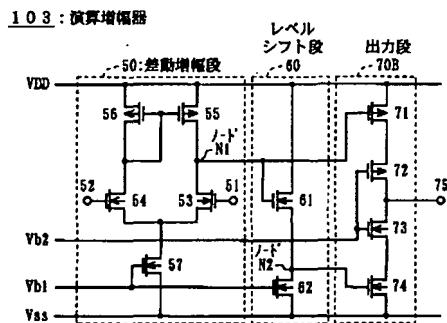
【図2】



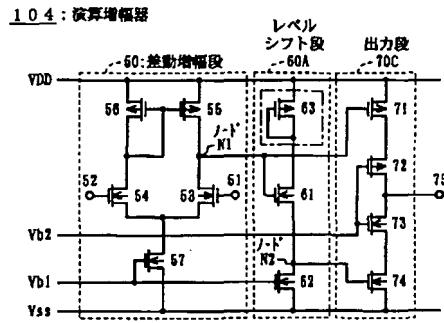
【図9】



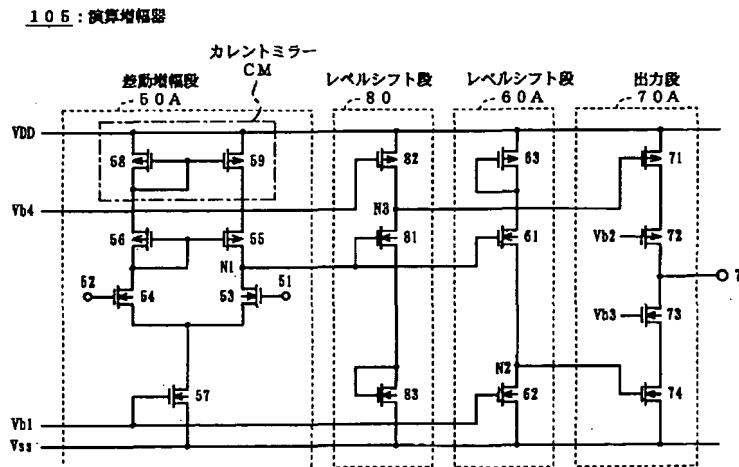
【図3】



【図4】

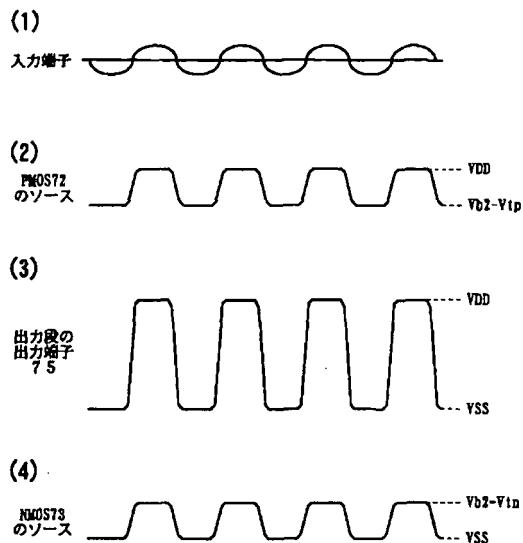


【図5】



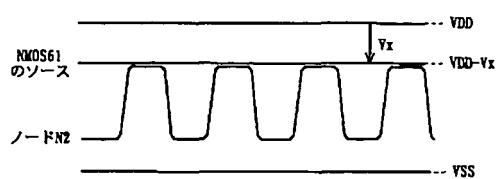
【図6】

演算増幅器101の出力段70における各ノードの電位



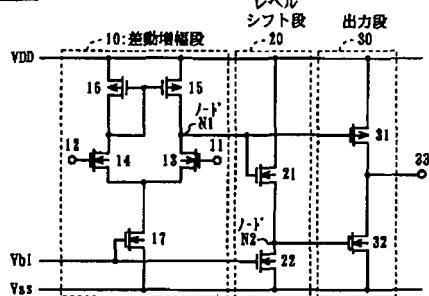
【図7】

演算増幅器103のレベルシフト段60の各ノードの電位



【図8】

1.1.1: 従来の演算増幅器



フロントページの続き

(72)発明者 嶋屋 正一
東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内

F ターム(参考) 5J091 AA01 AA18 AA47 CA00 CA91
CA92 FA01 HA10 HA17 HA19
KA02 KA06 KA09 KA12 KA18
KA21 MA22 TA06